

⑫ 公開特許公報(A)

平2-239632

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月21日

H 01 L 21/336
29/784

8422-5F H 01 L 29/78

3 0 1 L

審査請求 未請求 請求項の数 6 (全5頁)

⑮ 発明の名称 半導体装置とその製造方法

⑯ 特 願 平1-61676

⑰ 出 願 平1(1989)3月13日

⑱ 発 明 者 木 谷 文 一 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁理士 西野 卓嗣 外2名

明 細 書

1. 発明の名称

半導体装置とその製造方法

2. 特許請求の範囲

(1) ゲート電極を挟むようにして半導体基板の表面にソース・ドレイン領域が設けられ、前記ゲート電極の側部に絶縁性の側壁部が設けられた半導体装置において、

前記ソース・ドレイン領域は前記ゲート電極の下部において低不純物濃度、電極取り出し部分において高不純物濃度であり、且つ前記側壁部の下部は前記ゲート電極の下部より高く前記電極取り出し部分より低い不純物濃度を有することを特徴とする半導体装置。

(2) 前記側壁部下のソース・ドレイン領域は2つの領域が重畳されて不純物濃度が増大されたことを特徴とする請求項第1項に記載の半導体装置。

(3) ゲート電極を挟むようにして半導体基板の表面にソース・ドレイン領域が設けられ、前記

ゲート電極の側部に絶縁性の側壁部が設けられた半導体装置において、

前記ソース・ドレイン領域は、前記電極取り出し部分に拡がる高不純物濃度の第1の拡散層と、該第1の拡散層より拡大され前記側壁部の下部まで拡がる低不純物濃度の第2の拡散層と、該第2の拡散層より更に拡大され前記ゲート電極の下部まで拡がる低不純物濃度の第3の拡散層とから成り、

前記側壁部の下部において前記第2と第3の拡散層が重畳して成ることを特徴とする半導体装置。

(4) 前記第1、第2及び第3の拡散層は何れも同一導電型であることを特徴とする請求項第3項に記載の半導体装置。

(5) 半導体基板の表面にゲート絶縁膜を介してゲート電極を形成する工程、

前記半導体基板の表面に前記ゲート電極に対して自己整合的に低不純物濃度の拡散層(第3の拡散層)を形成する工程、

前記ゲート領域の側部に絶縁性の側壁部を形成する工程、

前記半導体基板の表面に前記側壁部に対して自己整合的に低不純物濃度の拡散層(第2の拡散層)と高不純物濃度の拡散層(第1の拡散層)を形成すると共に、前記低不純物濃度の拡散層(第2の拡散層)を前記高不純物濃度の拡散層(第1の拡散層)より拡大して形成し、前記側壁部の下部において前記低不純物濃度の拡散層(第3の拡散層)と前記低不純物濃度の拡散層(第2の拡散層)とが重畳するように形成する工程、

前記高不純物濃度の拡散層(第1の拡散層)にオーミックコンタクトするソース・ドレイン電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

(6) 前記低不純物濃度の拡散層(第2の拡散層)の不純物がリン(P)であり前記高不純物濃度の拡散層(第1の拡散層)の不純物がヒ素(As)であることを特徴とする請求項第5項に記載の半導体装置の製造方法。

では不純物を深く拡散させることにより高濃度不純物領域を形成するようにしたものである。

以下、第4図に基きLDD構造を有する従来のMOSトランジスタの製造方法について説明する。

まず第4図Aに示すように、通常のMOSトランジスタと同様のプロセスにより、アクティブ領域上に形成された SiO_2 から成るゲート絶縁膜(1)上に、ゲート電極(2)をパターンニングして形成する。この後、上記ゲート電極(2)をマスクとしてリン(P)を打ち込み、電界緩和用の N^- 拡散領域から成る低濃度不純物領域(3)を形成する。なお、(4)はP型のシリコン基板から成る半導体基板、(5)は SiO_2 から成るフィールド酸化膜である。

次に第4図Bに示すようにCVD法を用いて全面にCVD- SiO_2 膜から成るサイドウォール用絶縁膜を形成し、次いでRIEによって全面エッチングを行うと、平坦な部分のCVD- SiO_2 膜(26)が削られるのでゲート電極(2)の側壁部にCVD- SiO_2 膜が残り、これによりスペーサ(6)が形成

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は改良されたLDD(Lightly Doped Drain)構造のMIS型電界効果トランジスタを有する半導体装置とその製造方法に関する。

(ロ) 従来の技術

近年、半導体装置の高密度化が進む中で、MOSトランジスタにおいては短チャンネル化が図られている。しかし、この短チャンネル化は同時にドレイン電界を増大させる為、ホット・キャリア効果が問題となってくる。実際ホット・キャリアは、拡散電位障壁をこえて基板中に注入される為、素子特性が低下する。このようなホット・キャリア効果を防ぐ為には、ドレイン電界を弱める必要があり、その手立てとしてはソース・ドレイン領域をLDD構造とする方法が有効である。

ここでLDD構造とは、拡散によって半導体基板内にソース・ドレイン領域を形成する場合、ゲート電極近傍では拡散深さを浅くした低濃度不純物領域を形成し、一方ゲート電極と離れた領域

される。

そして、このスペーサ(6)をマスクとしてヒ素(As)を打ち込み、 N^- 拡散領域から成る高濃度不純物領域(7)を形成して、第4図Cに示す如きLDD構造のソース・ドレイン領域を得る。

このようなLDD構造にすると、ドレインの空乏層がチャンネル領域だけでなく低濃度不純物領域(N^- 拡散領域)(9)側にも拡がる為、ソース・ドレイン領域間にかかる実効的な電圧が低下し、ドレイン電界を弱めることができる(特開昭62-29076)。

(ハ) 発明が解決しようとする課題

上述のようにLDD構造のMOSトランジスタでは、ホットエレクトロンがゲート電極中に注入される現象を抑制することはできるが、LDD構造のMOSトランジスタであっても、ホットエレクトロンの注入を完全に無くすことはできない。そこでこの注入されたホットエレクトロンがスペーサ(6)の酸化膜(SiO_2)にトラップされ、負電荷Qの蓄積が行なわれる。すると、低濃度不純物

領域(3)の表面上にはゲート電極(2)が形成されていないので、この負電荷Qは低濃度不純物領域(3)の表面ポテンシャルを変化させ、表面に空乏層(反転層)を形成する。この空乏層によってドレイン寄生抵抗が変化し、結果的にMOSトランジスタのコンダクタンス g_m の劣化という経時変化を発生させる欠点があった。

(二) 課題を解決するための手段

本発明は上述した従来の課題に鑑み成されたもので、ゲート電極(13)下部の領域とスペーサ(15)下部の領域とで不純物濃度を変え、スペーサ(15)下部の領域の方がゲート電極(13)下部の領域より高い不純物濃度を有する構成とすることにより、従来の課題を解決した半導体装置とその製造方法を提供するものである。

(*) 作用

本発明によれば、スペーサ(15)下部のソース・ドレイン領域の不純物濃度をある程度高くしたので、トラップされた電荷Qの影響を受けずくなり、従って g_m の低下を防止できる。一方、ゲート

電極(13)下部のソース・ドレイン領域は低濃度に且つ拡散深さ x_j を浅くできるので、パンチスルーを防ぐと共にゲート電極(13)とソース・ドレイン領域とのオーバーラップによる寄生容量を低減できる。

(ハ) 実施例

以下に本発明の一実施例を図面を参照して詳細に説明する。

第1図と第2図は夫々本発明のLDD構造のMOSトランジスタを示す断面図と要部拡大断面図を示す。これらの図において、(11)はP型のシリコン基板から成る半導体基板、(12)はLOCOS法により形成した厚い酸化膜(SiO_2)から成るフィールド酸化膜、(13)はフィールド酸化膜(12)で囲まれたアクティブ領域の基板(11)表面にゲート酸化膜(14)を介して選択的に設けられたゲート電極、(15)はゲート電極(13)の側部に設けられたCVD酸化膜から成るスペーサ(側壁部)、(16)はスペーサ(15)端からフィールド酸化膜(12)端まで拡がるN⁺型の第1の拡散層、(17)は第1の拡

散層(16)よりMOSトランジスタのチャンネル領域側へ拡大されスペーサ(15)の下部まで拡がるN⁺型の第2の拡散層、(18)は第2の拡散層(17)より更にチャンネル領域側へ拡大されゲート電極(13)の下部まで拡がるN⁺型の第3の拡散層、(19)はCVD酸化膜(20)に設けたコンタクトホールを介して第1の拡散層(16)とオーミックコンタクトするソース・ドレイン電極である。

MOSトランジスタのソース・ドレイン領域は第1、第2と第3の拡散層(16)(17)(18)が重畳して形成され、第1と第3の拡散層(16)(18)が従来と同様にLDD構造を構成し第1と第2の拡散層(16)(17)がDDD(Double Diffused Drain)構造を構成する。そして、スペーサ(15)の下部では第2と第3の拡散層(17)(18)が重畳され重畳部分(21)の不純物は2つの拡散層(17)(18)の不純物が緩和された不純物濃度となる。従って、スペーサ(15)下部の低濃度拡散層の不純物濃度を、ゲート電極(13)下部の低濃度拡散層の不純物濃度よりやや高目にできる。

上記本願発明の構成によれば、スペーサ(15)下部の拡散領域は不純物濃度がやや高いので、スペーサ(15)の絶縁膜にトラップされた電荷Qの影響を受けにくくなり、空乏層(反転層)の発生が抑えられ、その結果MOSトランジスタのコンダクタンス g_m の劣化を防ぐことができる。

また、第3の拡散層(18)は不純物濃度を低くすることにより拡散深さ x_j を浅くできるので、横方向拡散によるゲート電極(13)下部への廻り込み量を抑え、ゲート電極(13)と第3の拡散層(18)とのオーバーラップ量を小さくできる。その為、ゲート電極(13)の下部におけるソース領域とドレイン領域間の距離が縮まることを防ぎパンチスルー電圧を高い値に保つことができる。これにより、ゲート電極(13)の一層の微細化が図れる。

さらに、オーバーラップ量を小さく且つ不純物濃度を低くできるので、ゲートとソース・ドレイン領域との寄生容量を低減できる。

以下に本発明の製造方法を説明する。

先ず通常のMOSトランジスタと同様のプロセ

ス、即ちシリコン窒化膜を利用したLOCOS法によるフィールド酸化膜(12)の形成、ゲート酸化膜(14)の形成、およびポリシリコン層の堆積とパターンニングという工程を経て第3図Aのようにアクティブ領域上にゲート電極(13)を形成し、次いでゲート電極(13)をマスクの一部とするセルフアライン手法によりゲート酸化膜(14)を通してリン(P)又はヒ素(As)をイオン注入し、ゲート電極(13)の両側にLDD構造を構成する為のN⁻型拡散領域から成る第3の拡散層(18)を形成する。

次に第3図BのようにCVD法を用いて全面にCVD-SiO₂膜から成るサイドウォール用絶縁膜(22)を形成する。

次に第3図CのようにRIE(リアクティブ・イオン・エッチング)によって全面エッチングを行うと、平坦な部分のサイドウォール用絶縁膜(22)が削り取られるのでゲート電極(13)の側壁部にCVD-SiO₂膜が残り、これによりスペーサ(15)が形成される。

次に第3図Dのようにスペーサ(15)の端部をマ

スクとしてセルフアライン手法により、表面からヒ素(As)をイオン注入し、

次に第3図Eのように重ねてリン(P)をイオン注入する。ヒ素(As)は第1の拡散層(16)を形成し、リン(P)は第2の拡散層(17)を夫々形成する為の不純物である。尚、ヒ素(As)とリン(P)のイオン注入は順番が逆でもかまわない。

そして第3図Fのように、イオン注入した不純物を活性化するアニール処理を行うことにより、前記イオン注入した不純物を拡散してN⁺型拡散領域から成る第1の拡散層(16)とN⁻型拡散領域から成る第2の拡散層(17)とを形成する。リン(P)とヒ素(As)とを比較した場合、リン(P)の方が拡散速度が速いので、同じ熱処理を処しても第2の拡散層(17)の方が深く拡散される。と同時に、第2の拡散層(17)は横方向拡散によりスペーサ(15)の下部まで廻り込むので、ここで第3の拡散層(18)と重畳しスペーサ(15)の下部に重畳部(21)を形成する。その後、CVD-SiO₂膜の堆積、コンタクトホール形成、電極材料のスパッタとパ

ターンニングにより第1図の如き構造のMOSトランジスタとなる。

(ト) 発明の効果

以上に説明した如く、本発明によればスペーサ(15)下部の領域の不純物濃度をやや高くしたので、スペーサ(15)の絶縁膜にトラップされた電荷Qの影響を受けずらくし、これによってMOSトランジスタのコンダクタンス g_m の劣化という経時変化を防止できる利点を有する。

また、第3の拡散層(18)の不純物濃度を小さく、且つ拡散深さを浅くすることにより、バンテスルーを防止し一層の微細化を押し進めることができる利点を有する。

さらに、第3の拡散層(18)とゲート電極(13)とのオーバーラップ量を小さくできるので、ゲートの寄生容量を減少できる利点をも有する。

さらに、リン(P)とヒ素(As)の拡散係数の差を利用して第2の拡散層(17)を形成することにより、工程増大がイオン注入工程だけで済み、パターンニングが不要である利点をも有する。

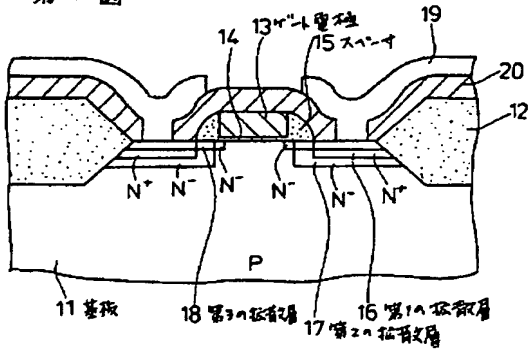
4. 図面の簡単な説明

第1図と第2図は夫々本発明を説明する為の断面図と要部拡大断面図、第3図Aから第3図Fは本発明の製造方法を説明する為の断面図、第4図Aから第4図Cは従来例を説明する為の断面図である。

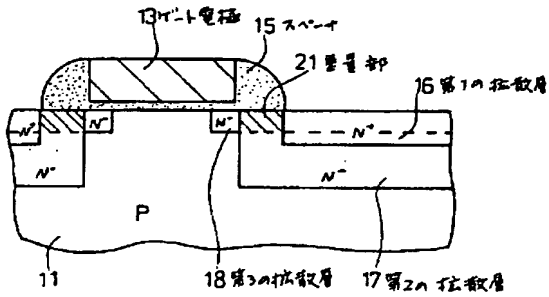
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 外2名

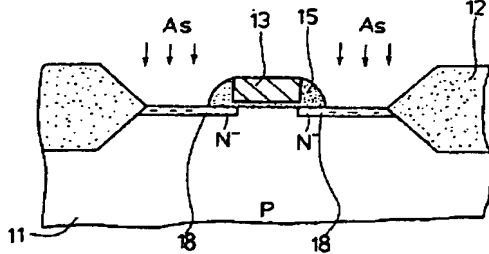
第 1 図



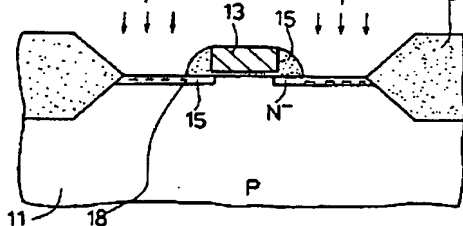
第 2 図



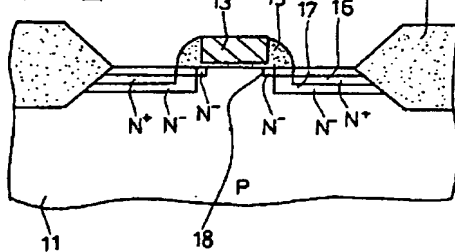
第 3 図D



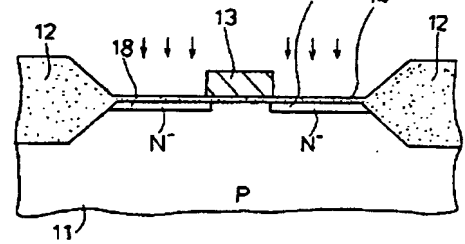
第 3 図E



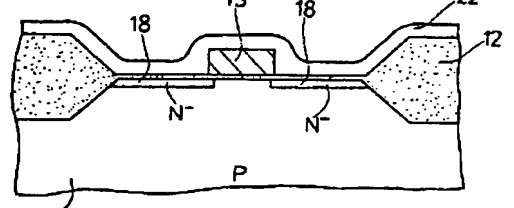
第 3 図F



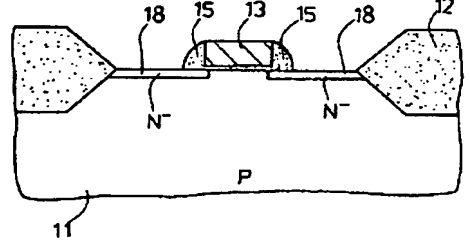
第 3 図A



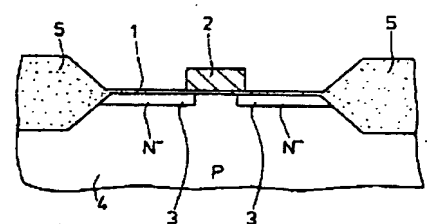
第 3 図B



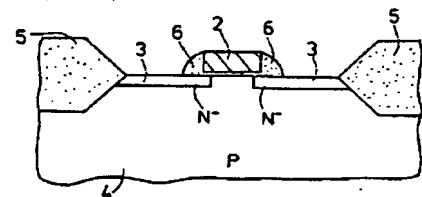
第 3 図C



第 4 図A



第 4 図B



第 4 図C

